

Programación y evaluación en un FPGA del nivel físico de un módem OFDM para comunicación por la red eléctrica doméstica

1. Responsables

Dr. Alfonso Prieto Guerrero (Departamento de Ing. Eléctrica, UAM Iztapalapa)

Dr. Gerardo A. Laguna Sánchez (Departamento de Sistemas de Información y Comunicaciones, UAM Lerma)

2. Perfil deseable del alumno

Alumno con conocimientos en comunicaciones digitales, procesamiento digital de señales, programación en lenguaje C y diseño lógico-digital.

3. Presentación del contexto e identificación del problemática

La línea eléctrica es una red prácticamente omnipresente, con enchufes disponibles virtualmente en cualquier lugar donde es posible la existencia de una terminal de comunicación. Esa es la razón por la cual la tecnología de comunicaciones PLC (Power-Line Communication) es un área de investigación muy atractiva.

En esencia, la tecnología PLC representa para los ingenieros de comunicaciones el formidable reto de transmitir datos a través de un medio que fue originalmente diseñado para la distribución de energía eléctrica y no para la transmisión de datos. Los investigadores e ingenieros deben considerar algunas características de este medio que lo hacen en cierta forma uno de los peores canales de comunicación [1,2].

Para minimizar los efectos de la atenuación, el ruido y, al mismo tiempo, maximizar el aprovechamiento del canal, se emplean avanzadas técnicas de procesamiento de señales y comunicaciones digitales, tales como la técnica de asignación de bits (conocida como esquema Multi-Tono Discreto o DMT, por sus siglas en inglés) y el multiplexado por repartición en frecuencias ortogonales (orthogonal frequency-division multiplexing, OFDM), que ha sido adoptada como técnica de señalización básica para la tecnología PLC doméstica [3,4].

4. Objetivos del proyecto de investigación

Objetivo general

Diseñar y programar en un FPGA los algoritmos de la capa física de un MODEM OFDM para un enlace PLC.

Objetivos específicos

- Diseñar y programar en un FPGA los módulos de modulación y demodulación OFDM.
- Diseñar y programar en un FPGA el modulo de sincronización.
- Diseñar y programar en un FPGA los módulos de estimación de canal y estimación de ruido.
- Diseñar y programar en un FPGA el modulo de igualamiento (*Equalizer*).
- Evaluar el desempeño de los algoritmos diseñados en una tarjeta de desarrollo con el FPGA seleccionado.

5. Metodología propuesta

- Estudio del Estado del Arte de los algoritmos involucrados.
- Programación de los algoritmos básicos de la capa física del módem OFDM.
- Evaluar el desempeño de la ejecución del conjunto de los algoritmos seleccionados en el FPGA.

6. Resultados esperados

- Realización práctica en un FPGA de los algoritmos básicos.
- Optimización de los algoritmos elegidos para la plataforma FPGA.
- Construcción de un prototipo empleando la tarjeta de desarrollo XILINX KINTEX 7 FPGA DSP KIT W/HIGH SPEED ANALOG.
- Publicación de un artículo en un congreso nacional o internacional.

7. Referencias

- [1] Biglieri E., "Coding and Modulation for a Horrible Channel", IEEE Communications Magazine, Vol. 41, pp. 92—98, May. 2003.
- [2] Pavlidou, N., Han Vinck, A., Yazadani, J., and Honary, B. "Power line communications: State of the art and future trends", IEEE Communications Magazine 41 (Abril 2003), 34—40.
- [3] Baig. S., "A discrete multitone transceiver at the heart of the PHY layer of an in-home power line communication local area network", IEEE Communication Magazine, Vol.41, pp.48—53, Apr. 2003.
- [4] Laguna G. y Prieto A.: "Paquete computacional de simulación Monte Carlo para un esquema básico de comunicación OFDM sobre la red eléctrica". DCBI, Departamento de Ingeniería Eléctrica, UAM-Iztapalapa, México, D.F., 2013. ISBN: 978-607-28-0009-0

8. Calendarización de actividades

- Estudio del Estado del Arte, escritura del protocolo de investigación y programación de los algoritmos básicos de un esquema OFDM para el FPGA. El protocolo contendrá la descripción del estado del arte acerca del tema de investigación, la problemática y la metodología de investigación, y será presentado en un seminario organizado para tal fin (1er trimestre, 14-P).
- Programación de los algoritmos seleccionados y construcción del prototipo. Al final del trimestre el alumno entregará un reporte, en formato de artículo, conteniendo los avances del proyecto de investigación. Estos avances serán presentados en el seminario organizado para tal fin (2º trimestre, 14-O).
- Puesta a punto del prototipo, así como escritura y entrega de una primera versión de la comunicación idónea de resultados. De igual forma se presentarán los resultados en el seminario organizado para tal fin (3er trimestre, 15-I).
- Entrega de la versión final de la comunicación idónea de resultados y defensa oral del trabajo de investigación ante un jurado especializado (4º trimestre, 15-P).

9. Infraestructura necesaria y disponible

- Computadora
- Software especializado
- Tarjeta de desarrollo con FPGA (AES-K7DSP-325T-G) XILINX KINTEX 7 FPGA DSP KIT W/HIGH SPEED ANALOG.

10. Lugar de Realización

Laboratorio PROSECOM, UAM Iztapalapa